



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 12 月 17 日
Application Date

申請案號：091136415
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 1 月 28 日
Issue Date

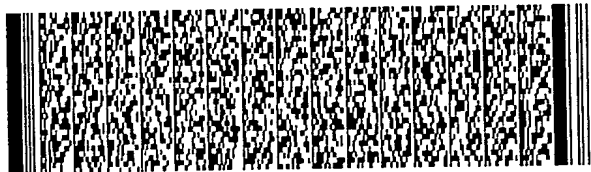
發文字號：09220086850
Serial No.

申請日期：／／	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	堆疊閘極式快閃記憶體及其製造方法
	英 文	A stacked gate flash memory and the method to fabricate the same.
二、 發明人 (共1人)	姓 名 (中 文)	1. 林圻輝
	姓 名 (英 文)	1. CHI-HUI LIN
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北市內湖區成功路五段46號12樓
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英 文)	1. Nanya Technology Corporation.
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中 文)	1. 連日昌
	代表人 (英 文)	1. Lien Jih-Chang



0548-8340TWE(N1) : 91040 : Shawn.prd

四、中文發明摘要 (發明名稱：堆疊閘極式快閃記憶體及其製造方法)

本發明關於一種堆疊閘極式快閃記憶體，包括：具有溝槽之半導體基底；導電層，位於溝槽底部；一對源極區域，位於溝槽兩側壁之半導體基底中且經上述導電層形成電性接觸；隧穿氧化層，位於導電層上之溝槽兩側壁上；源極絕緣層，位於導電層上方並與隧穿氧化層接觸；由第二複晶矽層與第三複晶矽層所組成之浮置閘極層，位於溝槽內之第一隔離層上並接觸兩側壁上之隧穿氧化層；閘極間介電層，貼覆於浮置閘極層上；控制閘極層，覆蓋於閘極間介電層上；絕緣層，位於溝槽內，以形成對稱於此絕緣層之兩記憶胞；以及汲極區域，位於溝槽鄰近之半導體基底中。

伍、(一)、本案代表圖為：第3j圖

(二)、本案代表圖之元件代表符號簡單說明：

200~半導體基底； 203~底絕緣層；

陸、英文發明摘要 (發明名稱：A stacked gate flash memory and the method to fabricate the same.)

A stacked gate flash memory with two symmetrical memory cell in a trench comprises : a semiconductor substrate having trenches therein; an conductive layer consisting of polysilicon layers and a source material layer provided in the bottom of the trench; a pair of source area provided in the outside region of the trench and conducted through the conductive layer; a source

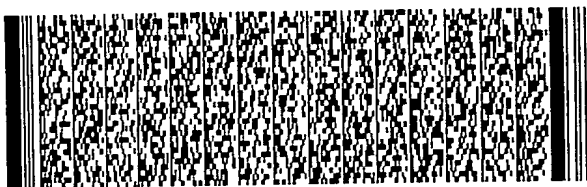


四、中文發明摘要 (發明名稱：堆疊閘極式快閃記憶體及其製造方法)

204~源極線材料層； 206~複晶矽層；
207~第一隔離層； 208~隧穿氧化層；
209~第二複晶矽層； 211~第二間隙壁層；
212~第三複晶矽層； 213~閘極間介電層；
214~控制閘極層； 215~第二隔離層；
217~第四隔離層； S~源極區域；
D~汲極區域； 250'~溝槽。

陸、英文發明摘要 (發明名稱：A stacked gate flash memory and the method to fabricate the same.)

isolation layer on the conductive layer; a tunneling oxide layer on the trench side wall; a floating gate consisting of the second polysilicon layer and the third polysilicon layer on the source isolation layer and contacting the tunneling oxide layer; an inter-gate dielectric layer on the floating gate and; a control gate locating layer on the inter-gate dielectric layer;



四、中文發明摘要 (發明名稱：堆疊閘極式快閃記憶體及其製造方法)

陸、英文發明摘要 (發明名稱：A stacked gate flash memory and the method to fabricate the same.)

a insulating layer in the trench to separate the two symmetrical memory cells; and a drain area in the substrate nearby the trenches.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

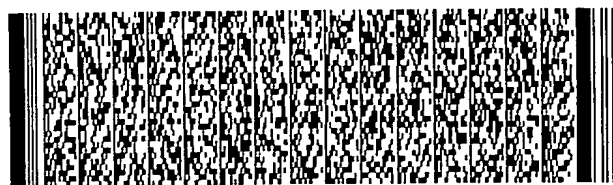
一、發明所屬之技術領域

本發明係有關於一種快閃記憶體 (flash memory)，特別是有關於一種堆疊閘極式快閃記憶體 (stacked gate flash memory) 及其製造方法。

二、先前技術

電氣抹除式可編程唯讀記憶體 (EEPROM) 為現今資訊電子產品所廣泛採用的記憶元件，原本有存取速度較慢的缺點，然隨製程技術的進步，近年已開發出存取速度較快的EEPROM，一般稱之為快閃記憶體 (flash memory)。基本上，典型的快閃記憶體係以浮置閘極 (floating gate) 電晶體結構所構成，當進行程式化步驟而寫入數據時，係施加一高電壓於控制閘極 (controlling gate)，使得熱電子穿過隧穿氧化層而注入浮置閘極，提高其臨界電壓；當抹除數據時，則施加一高電壓於源極區域，使得前述注入到浮置閘極的電子可藉由所謂的Fowler-Nordheim隧穿效應，穿過隧穿氧化層而流入源極區域，使其回復原有的臨界電壓。

快閃記憶體最重要的關鍵在於可藉由減少記憶胞的尺寸來降低位元成本的花費。為了減少記憶胞的尺寸，資料線行距 (Data Line Pitch) 須如同閘極長度般的被減少。浮置閘極尺寸減少的結果會使快閃記憶胞的尺寸進一步縮小，這對於在堆疊閘極快閃記憶體中的浮置閘極與控制閘極間之耦合率 (coupling ratio) 有不利的影響。因此，在



五、發明說明 (2)

半導體製造工業中，達到高閘極耦合率且同時使快閃記憶體胞尺寸可進一步縮小的目標變得更加具有挑戰性。

三、發明內容

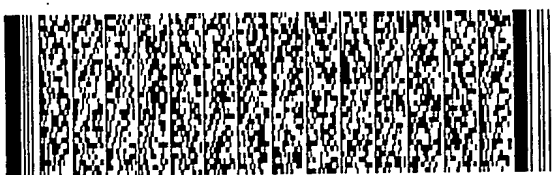
有鑑於此，本發明提供一種堆疊閘極式快閃記憶體及其製造方法，以提高其快閃記憶體記憶胞之積集度。

此外，本發明提供一種可在縮小記憶胞占據基底的面積下，還可增加控制閘極對浮置閘極的耦合率的堆疊閘極式快閃記憶體及其製造方法。

如此，本發明提供了一種上述之堆疊閘極式快閃記憶體，於一溝槽中具有兩對稱之記憶胞結構，包括：

具有溝槽之半導體基底；由複晶矽層與源極線材料層所組成之導電層，位於溝槽底部；一對源極區域，位於溝槽兩側壁之半導體基底中且經上述導電層形成電性接觸；一對隧穿氧化層，各位於導電層上之溝槽兩側壁上；一第一隔離層，位於導電層上方並與隧穿氧化層接觸；一對由第二複晶矽層與第三複晶矽層所組成之浮置閘極層，位於溝槽內之第一隔離層上並接觸兩側壁上之隧穿氧化層；一對閘極間介電層，覆蓋於上述各浮置閘極層上；一對控制閘極層，各貼覆於上述閘極間介電層上；一絕緣層，位於溝槽內，隔離溝槽兩側以形成由上述膜層組成之對稱於此絕緣層之兩記憶胞；以及汲極區域，位於溝槽鄰近之半導體基底中。

此外，本發明並提供了一種上述之堆疊閘極式快閃記

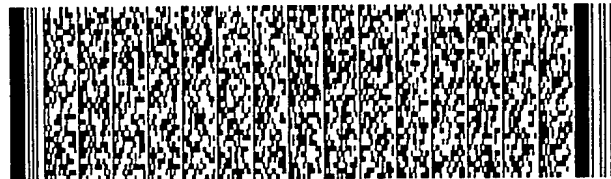
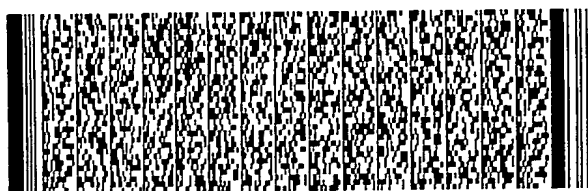


五、發明說明 (3)

憶體的製造方法，包括：

提供一半導體基底；形成複數個長溝槽，位於半導體基底內且沿一第一方向排列且互為平行；形成一對源極區域及一導電層於各長溝槽內，源極區域位於長溝槽兩側壁外之半導體基底中並經由位於長溝槽底部之導電層以形成電性接觸；形成一源極絕緣層於導電層上；形成一對隧穿氧化層於長溝槽之兩側壁上並接觸源極區域；形成一對浮置閘極層位於源極絕緣層上並接觸側壁上之上述隧穿氧化層；形成一對閘極間介電層各覆蓋於上述浮置閘極層上；形成一對控制閘極層各貼覆於上述閘極間介電層上；形成一第二隔離層於長溝槽內以隔離長溝槽兩側之上述膜層；形成複數個淺溝槽隔離區域，沿一第二方向排列且互為平行之以定義出複數個記憶胞溝槽；以及形成一汲極區域於記憶胞溝槽鄰近之半導體基底中。

依據本發明之堆疊閘極式快閃記憶體中，於溝槽中之上述浮置閘極層係由第二複晶矽層與第三複晶矽層組成之複合複晶矽層，且上述浮置閘極層具有一正L型或反L型(『』)之外型，可增大浮置閘極(FG)與控制閘極(CG)間交疊面積(Overlapping Area)，因而能增加控制閘極對浮置閘極的耦合率(Control-gate-to-floating-gate Coupling Ratio)，改善記憶胞性能；並且於單一溝槽內具有兩垂直之記憶胞(dual vertical cell)，其對稱地位於記憶胞溝槽內，並可藉由不同之字元線(WL)及位元線(BL)配置以控制其開關狀態，除了具有縮小元件尺寸之目的，亦可同時



五、發明說明 (4)

地倍增記憶體之容量。

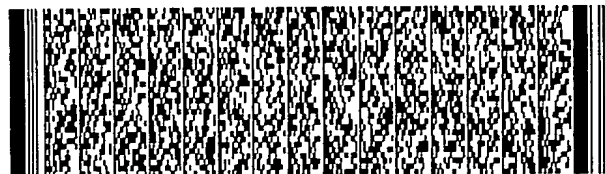
此外，本發明之堆疊閘極式快閃記憶體，其記憶胞結構深入於半導體基底內，可進一步的縮小快閃記憶體記憶胞的尺寸並提昇記憶胞的積集度，並可大幅地提昇快閃記憶體的容量。而其製造過程中，多數之製程皆屬於自我對準(self aligned)製程，可大幅地減少製程所需光罩數目，進而減低了製程的複雜性。

另外，本發明之製程中所利用光罩結構簡單，大多屬於長條狀之結構，對於降低光罩構成成本方面，亦有顯著之功效。亦可不受線寬縮小等因素，不需進一步地改良微影技術。

為讓本發明之上述目的、特徵及優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

四、實施方式

本發明為了因應記憶容量不斷增加的趨勢，提供了一種堆疊閘極式快閃記憶體。請參照第1圖，為依據本發明完成之堆疊閘極式快閃記憶體之上視圖，沿著A~A'切線為此快閃記憶體記憶胞所在區域，而沿著B~B'切線為此快閃記憶體之淺溝槽隔離區域(STI)。接著請同時參照第3a~3j圖及第4a~4j圖以說明於A~A'切線及B~B'切線區域內的製造流程剖面圖，並請同時參照相關之上視圖第2a~2d圖，以顯示製程中相對應之上視結構，藉以說明本發明之較佳



五、發明說明 (5)

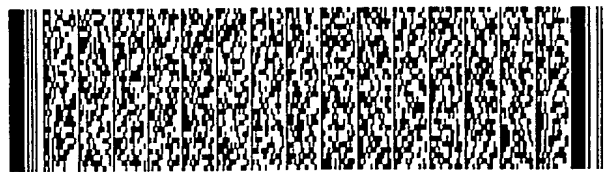
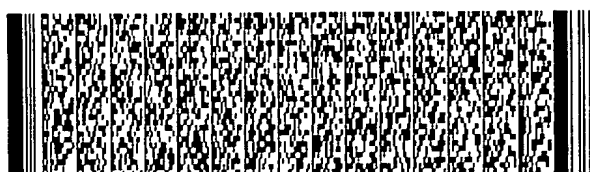
實施例。

首先請參閱第3j圖，為依據本發明之堆疊閘極式快閃記憶體之結構，包括：

具有溝槽250'之半導體基底200；由複晶矽層206與源極線材料層204所組成之導電層，位於溝槽250'底部；一對源極區域S，位於溝槽250'兩側壁之半導體基底200中且經上述之導電層形成電性接觸；一對隧穿氧化層208，各位於導電層上之溝槽250'兩側壁上並與源極區域S接觸；一源極絕緣層(第一隔離層207)，位於導電層上方並與上述隧穿氧化層208接觸；一對由第二複晶矽層209與第三複晶矽層212所組成之浮置閘極層，各位於溝槽250'內之第一隔離層207上並接觸兩側壁上之上述隧穿氧化層208；一對閘極間介電層213，各覆蓋於上述浮置閘極層上；一對控制閘極層214，各貼覆於上述閘極間介電層213上；一絕緣層215，位於溝槽250'內，以隔離溝槽250'兩側以形成由上述膜層組成之對稱於絕緣層215之兩記憶胞；以及汲極區域D，位於溝槽250'鄰近之半導體基底200中。

而依據本發明之堆疊閘極式快閃記憶體其製程流程，請同時參閱第3a圖及第4a圖，首先於半導體基底200例如為p型半導體矽基底上，依序形成一墊氧化層201及一罩幕層202，其中罩幕層202材質例如是氮化矽，以作為後續製程中相關蝕刻罩幕及化學機械研磨(CMP)停止層。

接著利用一微影及蝕刻製程於半導體基底200內定義出複數個沿著一第一方向排列且互為平行之長溝槽250，

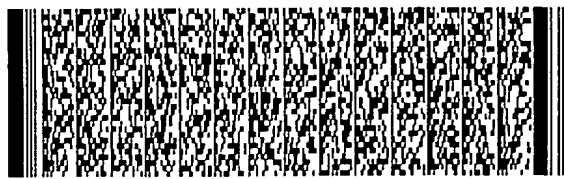


五、發明說明 (6)

其深度約距半導體基底200表面30000~70000埃，實際深度則視所需阻值決定。請同時參閱上視圖第2a圖，此時上述之各長溝槽250內為半導體基底200，其餘之區域則為罩幕層202所覆蓋。

請繼續參閱第3b圖及第4b圖，沉積一順應性(conformal)底絕緣層203材料於罩幕層202上及各長溝槽250內，其材質例如是二氧化矽，其厚度約為100~150埃。接著沉積一源極線材料層204材料於上述底絕緣層203材料上並溝填(gap-fill)於各長溝槽250內，其材質例如是含n型摻質之複晶矽，更例如為經砷摻雜之多晶矽(As doped polysilicon)，其方法例如是化學氣相沉積法(CVD)。接著蝕刻去除罩幕層202上之源極線材料層204材料，接著更凹蝕(recess)各長溝槽250內之源極線材料層204材料至距半導體基底200表面約2000~5000埃之深度，其方法例如為乾蝕刻法，以形成一源極線材料層204於各長溝槽250內。接著利用濕蝕刻法去除長溝槽250內源極線材料層204之外的底絕緣層203材料，最後於各長溝槽250內形成底絕緣層203，其表面約等高於源極線材料層204。請同時參閱上視圖第2b圖，此時上述之各長溝槽250內為底絕緣層203及源極線材料層204，其餘之區域則為罩幕層202所覆蓋。

請繼續參閱第3c圖及第4c圖，接著沉積一順應性的第一間隙壁層材料205於罩幕層202上及長溝槽250內，其材質例如是氮化矽。接著利用乾蝕刻法，回蝕(etch back)以去除罩幕層202上及各長溝槽250內水平部分之第一間隙



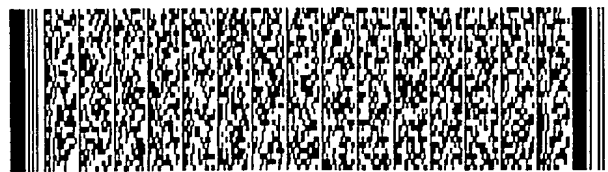
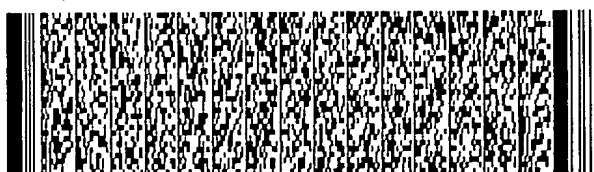
五、發明說明 (7)

壁層205材料，最後於長溝槽250內兩側壁上形成一第一間隙壁層205。

接著更利用乾蝕刻法，再次凹蝕長溝槽250內之源極線材料層204，降低其厚度300~800埃，以露出長溝槽250內側壁上之部分底絕緣層203，接著利用濕蝕刻法以去除此露出之部分底絕緣層203材料，並於長溝槽250內側壁上形成兩第一側壁缺口(sidewall gap; G)。接著再藉由化學氣相沉積法(CVD)，沉積一順應性的複晶矽層206材料於罩幕層202上及長溝槽250內，並填入長溝槽250內側壁上之兩第一側壁缺口G內，上述複晶矽層206材料例如為含n型摻質之複晶矽材料，更例如為經砷摻雜之多晶矽(As doped polysilicon)。

接著進行一熱擴散製程，例如是熱擴散爐管製程，將源極線材料層204及複晶矽層206材料中之摻質[例如是n型摻質，砷(As)]逐出(drive out)並擴散至長溝槽250兩側壁外之半導體基底200中而形成兩源極區域S。

請繼續參閱第3d圖及第4d圖，接著等向地蝕刻去除部份之上述複晶矽層206，並於先前之第一側壁缺口G下方留下複晶矽層206，而更於長溝槽250內側壁上形成兩第二側壁缺口G'。接著沉積一順應性的第一隔離層207材料於罩幕層202上及長溝槽250內，並填入長溝槽250內之第二側壁缺口G'內，其材質例如為二氧化矽，其方法例如為低壓化學氣相沉積法(LPCVD)加上高密度電漿化學氣相沉積法(HDP CVD)。值得注意的是，此處採用低壓化學氣相沉積法

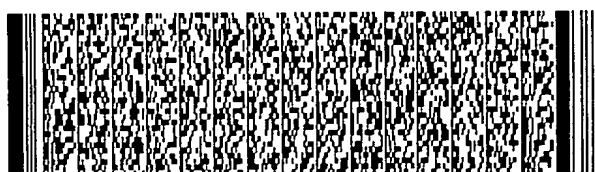


五、發明說明 (8)

(LPCVD) 加上高密度電漿化學氣相沉積法(HDP CVD)，可得到一水平厚度較垂直厚度為厚之材料沉積，其沉積後之形態如第3d圖、第4d圖內所示。位於罩幕層202上及長溝槽250內水平部分之第一隔離層207材料具有一較厚厚度，而位於長溝槽250內之側壁上之第一隔離層207則具有一較薄厚度。

請繼續參閱第3e圖及第4e圖，利用浸濕法(wet dip)，去除長溝槽250內側壁上之第一隔離層207材料以及利用濕蝕刻法去除長溝槽250內側壁上之第一間隙壁層205，最後於罩幕層202上與長溝槽250內各留下一厚度介於500~1000埃之第一隔離層207材料。而於長溝槽250內之第一隔離層207下方的源極線材料層204中及複晶矽層206，原先之複晶矽材料內仍含有未被逐出(drive out)之摻質(例如為n型摻質砷As)，故仍具導電性，並可經由長溝槽250內兩側壁上之第一側壁缺口G內留下之複晶矽層206形成電性導通，進而形成兩源極區域S間之一電性接觸通道。

於此，長溝槽250內側壁上之第一側壁缺口G內之複晶矽層206及源極線材料層204可視為連接兩源極區域S間之導電層，以提供兩源極區域S間之電性導通。而位於長溝槽250內之第一隔離層207則視為一源極絕緣層，位於上述導電層上以隔絕並侷限兩源極區域S間之電性接觸僅經由上述之導電層完成。接著，對長溝槽250之兩側壁進行臨界電壓植入(V_t implant)以調整記憶胞之臨界電壓(V_t)。

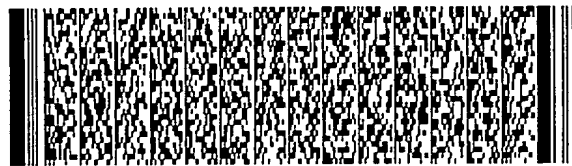


五、發明說明 (9)

請繼續參照第3f及圖4f，接著形成一隧穿氧化層208於長溝槽250之兩側壁上，其材質例如為二氧化矽，其方法例如為熱氧化法(Thermal Oxidation)。接著沉積一順應性(conformal)的第二複晶矽層209材料於罩幕層202上之第一隔離層207材料上及長溝槽250內並與兩側壁上之隧穿氧化層208接觸，其形成方法例如為低壓化學氣相沉積法(LPCVD)，上述第二複晶矽層209材料之材質例如為含n型摻質(如砷As或磷P)之複晶矽。

接著沉積一蝕刻保護層210材料於罩幕層202上之第一隔離層207材料與第二複晶矽層209材料上並溝填(gap-fill)於長溝槽250內，其材質例如為硼矽玻璃(BSG)，其方法例如為化學氣相沉積法(CVD)，接著回蝕(recess)以去除罩幕層202上之蝕刻保護層210材料，並利用乾蝕刻法凹蝕(recess)長溝槽250內之蝕刻保護層210材料，最後於長溝槽250內形成厚度為1000~4000埃之蝕刻保護層210。接著等向性地蝕刻去除蝕刻保護層210以外之第二複晶矽層209材料，以於長溝槽250內形成一具有U型外型之第二複晶矽層209。接著沉積一順應性的第二間隙壁層211材料於先前罩幕層202上之第一隔離層207材料上及長溝槽250內，此第二間隙壁層211材料其形成方法例如是低壓化學氣相沉積法(LPCVD)，其材質例如為二氧化矽。

請繼續參照第3g圖及第4g圖，接著利用乾蝕刻法回蝕此第二間隙壁層211材料，並蝕刻部份之蝕刻保護層210。接著再去除此蝕刻保護層210，其方法例如是濕蝕刻法，

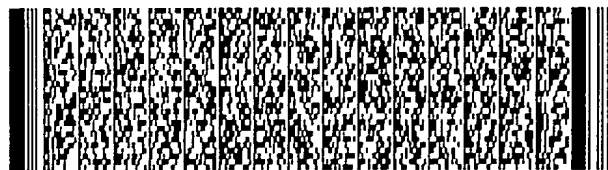
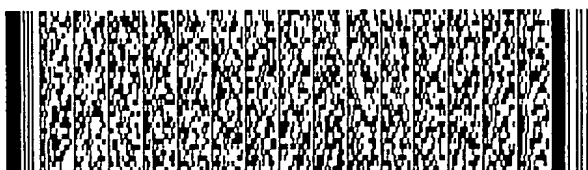


五、發明說明 (10)

利用蝕刻溶液對於蝕刻保護層210材料(例如為硼矽玻璃)與第二間隙壁層211材料(例如為二氧化矽)間的不同蝕刻率而於蝕刻過程中極少蝕刻第二間隙壁層211材料，以於長溝槽250內形成了位於具有U型外型之第二複晶矽層209兩側邊上之第二間隙壁層211。

接著，沉積一順應性的第三複晶矽層212材料於先前罩幕層202上之第一隔離層207材料上及長溝槽250內，並覆蓋於第二間隙壁層211與上述具有U型外型第二複晶矽層209上，其膜厚約為350~1500埃，其材質例如為含n型摻質(例如為砷As或磷P)之複晶矽。接著利用乾蝕刻法回蝕上述第三複晶矽212材料與其下方部份之第二複晶矽層209，直到露出罩幕層202與長溝槽250內之第一絕緣層207，於長溝槽250內兩側形成一位於第二複晶矽層209上並部分覆蓋於第二間隙壁層211上之第三複晶矽層212。值得注意地，此時位於第二複晶矽層209上並部分覆蓋於第二間隙壁層211上之第三複晶矽層212與罩幕層202間具有一步階高度差H約500~1000埃，而由上述第三複晶矽層212與第二複晶矽層209所構成之複合複晶矽層，具有一正L型或反L型(』)之外型，即為此快閃記憶體之浮置閘極層(Floating Gate; FG)，如此浮置閘極層，可提供較高的浮置閘極與控制閘極間之耦合率(coupling ratio)。

請繼續參照第3h圖及第4h圖，接著沉積一順應性的閘極間介電層213材料並覆蓋於先前浮置閘極層上，其材質例如為二氧化矽，其形成方法例如為化學氣相沉積法

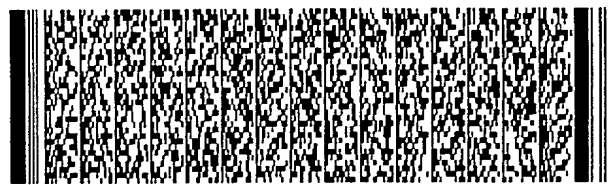


五、發明說明 (11)

(CVD)，其膜厚約為100~300埃。接著沉積一順應性的控制閘極層材料214，其形成方法例如為化學氣相沉積法，其膜厚約為350~1500埃，其材質例如為含n型摻質(例如為砷或磷)之複晶矽。接著利用乾蝕刻法回蝕此控制閘極層材料214，最後於長溝槽250內形成貼覆於閘極間介電層213上之控制閘極層214，此控制閘極層214即為此快閃記憶體之控制閘極(Control Gate；CG)。

請繼續參照第3i圖及第4i圖，接著沉積一第二絕緣層215材料於罩幕層202上之第一絕緣層207材料上並溝填(gap-fill)於長溝槽250內，其方法例如為低壓化學氣相沉積法(LPCVD)，其材質例如為二氧化矽。接著利用化學機械研磨法(CMP)，並以罩幕層202作為研磨停止層，進行一全面性的平坦化程序，最後於長溝槽250內形成一第二絕緣層215，以作為隔離長溝槽兩側由上述膜層組成且對稱於此第二絕緣層215之兩記憶胞間之一絕緣層，並露出控制閘極層214，以利後續字元線(word line)連接之用(如第3i圖所示)。

接著利用微影及蝕刻程序，形成複數個淺隔離溝槽區域(shallow trench isolation；STI)，沿一第二方向排列且互為平行並蝕刻停止於導電層上，並於各長溝槽250內定義出複數個溝槽250'，此複數個溝槽250'即為此快閃記憶體之記憶胞溝槽，此時於淺隔離溝槽區域STI內之剖面結構圖則如第4i圖所示，而此第二方向與沿第一方向排列之長溝槽250互為垂直。

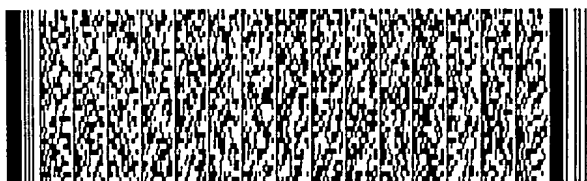


五、發明說明 (12)

此時製程上視圖請參照上視圖第2c圖，先前各長溝槽250於此微影及蝕刻程序後，由複數個淺隔離溝槽區域STI區隔出複數個溝槽250'，此時各溝槽250'內其上視結構由對稱於一第二隔離層215之兩第二間隙壁層211、兩閘極間介電層213以及兩控制閘極層214所組成。而鄰近之淺隔離溝槽區域(STI)內，則露出由組成導電層之源極線材料層204與複晶矽層206及鄰近之半導體基底200。

請繼續參照第3j圖及第4j圖，接著沉積一第三隔離層216材料並溝填於上述淺隔離溝槽區域STI內，其方法例如為低壓化學氣相沉積法(LPCVD)，其材質例如為二氧化矽。接著利用一平坦化製程例如為化學機械研磨法，利用罩幕層202為研磨停止層將晶圓表面平坦化，而形成一第三隔離層216於此等淺隔離溝槽結構內。接著利用濕蝕刻法去除罩幕層202與墊氧化層201，露出接受汲極離子植入之主動區域(active area)。

接著對上述主動區域進行汲極離子植入，其植入之離子例如為n型離子，更例如為砷(As)離子。接著再經由一熱退火製程例如為一快速熱退火製程(RTP)，使溝槽250'內離子更擴散至最後之汲極區域D，而汲極區域D則位於鄰近溝槽250'之半導體基底200中。接著沉積一第四隔離層217材料並填入上述之汲極區域D上，其方法例如為高密度電漿化學氣相沉積法(HDP CVD)，其材質例如為二氧化矽。接著再利用一平坦化製程如CMP法，最後將晶圓表面平坦化並形成一第四隔離層217於汲極區域D上，並露出表



五、發明說明 (13)

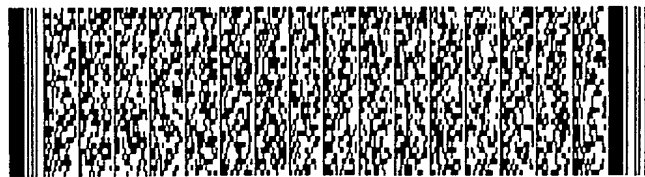
面之控制閘極層214，以利後續字元線之連接，而完成本發明之快閃記憶體製程。

此時製程上視圖請參與上視圖第2d圖，汲極區域D為第四隔離層217所覆蓋，溝槽250'內其上視結構由對稱於一第二隔離層215之兩第二間隙壁層211、兩閘極間介電層213及兩控制閘極層214所組成，而第三隔離層216則為淺隔離溝槽(STI)區域所在位置。

最後，請參閱第1圖，利用習知之字元線及位元線連接技術(為不模糊本發明之重點，故於此僅以虛線表示)形成連接記憶胞之字元線(Word Line; WL)結構，並沿第一方向連接控制閘極CG(即為控制閘極層214)。並可經由位元線(Bit Line; BL)依第二方向連結位元線BL而完成此堆疊閘極式快閃記憶體的製程，其記憶胞溝槽(即為溝槽250')與字元線及位元線之聯結情形僅以如第1圖中所示為例，而實際之連結情形可視實際之積體電路設計而加以變動，並不限制於如第1圖中之連結情形。

本發明之結構特徵在於，本發明之溝槽型快閃記憶體，於單一溝槽內具有兩垂直型記憶胞(dual vertical cell)，其各別之記憶胞結構對稱於第二絕緣層215，並可藉由不同之字元線(WL)及位元線(BL)控制其開關狀態，除了具有縮小元件尺寸之目的，亦可同時地倍增記憶體之容量，此外記憶胞內之浮置閘極層，更具有提供較高的浮置閘極與控制閘極間之耦合率(coupling ratio)之功效。

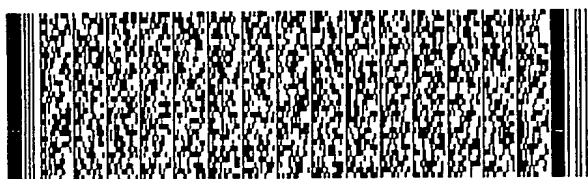
本發明之製程特徵在於，所需之光罩數目少，多數之



五、發明說明 (14)

製程皆為自我對準之製程，如採用之薄膜沉積方法如化學氣相沉積法以及蝕刻方法中之回蝕法、凹蝕法以及乾濕蝕刻法，皆利用了自我對準之精神。而本發明之快閃記憶體製程，亦達到了節省製程時間與成本之目的，具有提高產品競爭力之優點。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖係依據本發明之堆疊閘極式快閃記憶體的上視圖。

第2a~2d圖係為本發明較佳實施例之製程流程剖面圖相對應之製程上視圖。

第3a~第3j圖係根據本發明較佳實施例之堆疊閘極式快閃記憶體中沿第1圖中A~A'切線區域內之製程流程剖面圖。

第4a~第4j圖係根據本發明較佳實施例之堆疊閘極式快閃記憶體中沿第1圖中B~B'切線區域內之製程流程剖面圖。

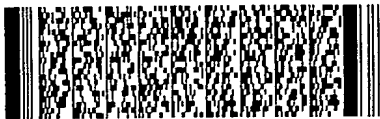
符號說明：

200~半導體基底；	201~墊氧化層；
202~罩幕層；	203~底絕緣層；
204~源極線材料層；	205~第一間隙壁層；
206~複晶矽層；	207~第一隔離層；
208~隧穿氧化層；	209~第二複晶矽層；
210~蝕刻保護層；	211~第二間隙壁層；
212~第三複晶矽層；	213~閘極間介電層；
214~控制閘極層；	215~第二隔離層；
216~第三隔離層；	217~第四隔離層；
S~源極區域；	D~汲極區域；
250~長溝槽；	250'~溝槽；
STI~淺隔離溝槽區域；	G~第一側壁缺口；



圖式簡單說明

G' ~ 第二側壁缺口 ; WL ~ 字元線 ;
BL ~ 位元線 。



六、申請專利範圍

1. 一種堆疊閘極式快閃記憶體，於一溝槽中具有兩對稱之記憶胞結構，包括：

一具有溝槽之半導體基底；

一導電層，位於該溝槽底部；

一對源極區域，各位於該溝槽兩側壁之該半導體基底中且經該導電層形成電性接觸；

一對隧穿氧化層，各位於該導電層上之該溝槽兩側壁上並與該等源極區域接觸；

一源極絕緣層，位於該導電層上方並與該隧穿氧化層接觸；

一對浮置閘極層，各位於該溝槽內之該第一隔離層上並接觸兩側壁上之該隧穿氧化層；

一對閘極間介電層，各覆蓋於該等浮置閘極層上；

一對控制閘極層，各貼覆於該等閘極間介電層上；

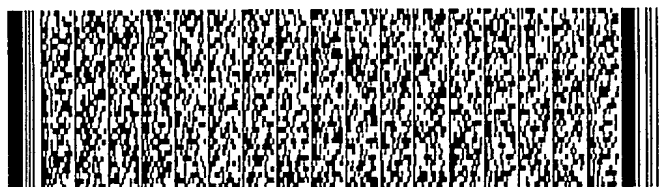
一絕緣層，位於該溝槽內，隔離該溝槽兩側以形成由上述膜層組成之對稱該絕緣層之兩記憶胞；以及

一汲極區域，位於鄰近該溝槽兩側之該半導體基底中。

2. 如申請範圍第1項所述之堆疊閘極式快閃記憶體，其中該半導體基底為一p型半導體矽基底。

3. 如申請範圍第1項所述之堆疊閘極式快閃記憶體，其中於該導電層下方更包括一底絕緣層。

4. 如申請範圍第3項所述之堆疊閘極式快閃記憶體，其中該底絕緣層材質為二氧化矽。



六、申請專利範圍

5. 如申請範圍第1項所述之堆疊閘極式快閃記憶體，其中該導電層材質為含n型摻質之複晶矽。

6. 如申請範圍第1項所述之堆疊閘極式快閃記憶體，其中該源極絕緣層材質為二氧化矽。

7. 如申請範圍第1項所述之堆疊閘極式快閃記憶體，其中該等隧穿氧化層材質為二氧化矽。

8. 如申請範圍第1項所述之堆疊閘極式快閃記憶體，其中該等浮置閘極層材質為含n型摻質之複晶矽。

9. 如申請範圍第1項所述之堆疊閘極式快閃記憶體，其中該等浮置閘極層係由一第二複晶矽層與一第三複晶矽層組成之複合複晶矽層。

10. 如申請範圍第1項所述之堆疊閘極式快閃記憶體，其中該等浮置閘極層具有一正L型或反L型(』)之外型。

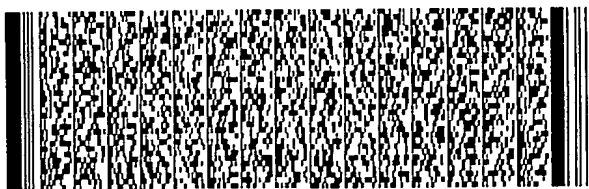
11. 如申請範圍第1項所述之堆疊閘極式快閃記憶體，其中該等閘極間介電層材質為二氧化矽。

12. 如申請範圍第1項所述之堆疊閘極式快閃記憶體，其中該等控制閘極層的材質為含n型摻質之複晶矽。

13. 如申請範圍第1項所述之堆疊閘極式快閃記憶體，其中該導電層係由兩鄰近於該側壁上之複晶矽層及一源極線材料層所組成。

14. 一種堆疊閘極式快閃記憶體的製造方法，包括；
提供一半導體基底；

形成複數個長溝槽，位於該半導體基底內且沿一第一方向排列且互為平行；



六、申請專利範圍

於上述之各長溝槽內形成一對源極區域及一導電層，該等源極區域各位於該長溝槽兩側壁外之該半導體基底中並經由位於該長溝槽底部之該導電層以形成電性接觸；

形成一源極絕緣層於該導電層上；

形成一對隧穿氧化層於該長溝槽之兩側壁上並接觸該源極區域；

形成一對浮置閘極層於該源極絕緣層上並接觸側壁上之該等隧穿氧化層；

形成一對閘極間介電層各覆蓋於該等浮置閘極層上；

形成一對控制閘極層各貼覆於該等閘極間介電層上；

形成一第二隔離層於該長溝槽內以隔離該長溝槽兩側之上述膜層；

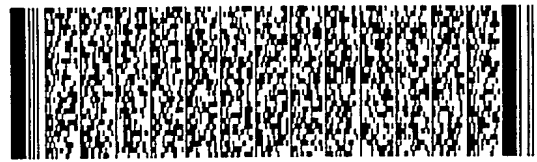
形成複數個長條狀之淺溝槽隔離區域(STI)，沿一第二方向排列且互為平行以於上述各長溝槽內定義出複數個記憶胞溝槽；以及

形成一汲極區域於該等記憶胞溝槽鄰近之該半導體基底中。

15. 如申請範圍第14項所述之堆疊閘極式快閃記憶體的製造方法，其中該第一方向與該第二方向互為垂直。

16. 如申請範圍第14項所述之堆疊閘極式快閃記憶體的製造方法，其中該半導體基底為p型半導體矽基底。

17. 如申請範圍第14項所述之堆疊閘極式快閃記憶體的製造方法，其中於該半導體基底內形成複數個長溝槽前更包括於該半導體基底上形成一墊氧化層及一罩幕層。



六、申請專利範圍

18. 如申請範圍第17項所述之堆疊閘極式快閃記憶體之製造方法，其中該罩幕層材質為氮化矽。

19. 如申請範圍第14項所述之堆疊閘極式快閃記憶體的製造方法，其中形成該源極絕緣層之方法為低壓化學氣相沉積法(LPCVD)加上高密度電漿化學氣相沉積法(HDP CVD)。

20. 如申請範圍第14項所述之堆疊閘極式快閃記憶體的製造方法，其中形成一對源極區域及一導電層於各長溝槽內前更包括形成一底絕緣層於各長溝槽底部。

21. 如申請範圍第14項所述之堆疊閘極式快閃記憶體的製造方法，於各長溝槽內形成一對源極區域及一導電層，該等源極區域各位於該長溝槽兩側壁外之該半導體基底中並經由位於該長溝槽底部之該導電層以形成電性接觸的步驟，包括：

形成一源極線材料層於該長溝槽內；

去除該源極線材料層之外的底絕緣層材料；

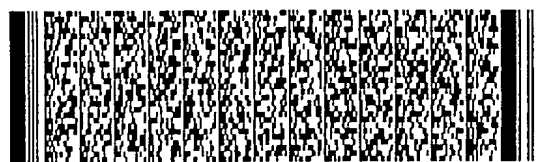
形成一第一間隙壁層於該長溝槽之兩側壁上；

更凹蝕該源極線材料層，並露出部份之該長溝槽側壁上之該底絕緣層材料；

去除露出之該底絕緣層材料以形成一第一側壁缺口於該長溝槽兩側壁上；

沉積一順應性的複晶矽層於該長溝槽內，並填入於該等第一側壁缺口內；

進行一熱擴散製程，以形成兩源極區域於該長溝槽兩



六、申請專利範圍

側外之該半導體基底內；以及

留下該複晶矽層於該等第一側壁缺口下方，並藉由該等複晶矽層與該源極線材料層所組成之導電層，形成該等源極區域間之電性接觸。

22. 如申請範圍第21項所述之堆疊閘極式快閃記憶體之製造方法，其中形成該源極線材料層之方法為化學氣相沉積法。

23. 如申請範圍第21項所述之堆疊閘極式快閃記憶體的製造方法，其中去除所露出之該底絕緣層材料之方法為濕蝕刻法。

24. 如申請範圍第14項所述之堆疊閘極式快閃記憶體的製造方法，其中形成一對隧穿氧化層於該長溝槽之兩側壁上前尚包括對該長溝槽側壁進行之臨界電壓植入(Vt implant)。

25. 如申請範圍第14項所述之堆疊閘極式快閃記憶體的製造方法，形成一對浮置閘極層位於該源極絕緣層上並接觸側壁上之該隧穿氧化層的步驟包括：

沉積一順應性的第二複晶矽層材料於該長溝槽內並與兩側壁上之該隧穿氧化層接觸；

形成一蝕刻保護層於該長溝槽內；

去除該蝕刻保護層以外之第二複晶矽層之材料以形成一具有U型外型之第二複晶矽層於該長溝槽內；

形成一第二間隙壁層於該長溝槽內該具有U型外型之第二複晶矽層兩側邊上；



六、申請專利範圍

去除該蝕刻保護層；

沉積一順應性之第三複晶矽層材料於該長溝槽內；以及

回蝕該第三複晶矽層材料與其下方之該具有U型外型之第二複晶矽層直到露出該第一絕緣層，以於該長溝槽內兩側留下由一第二複晶矽層與一第三複晶矽層所組成之複合複晶矽層以作為浮置閘極層，其中該等浮置閘極層具有一正L型或反L型(』)之外型。

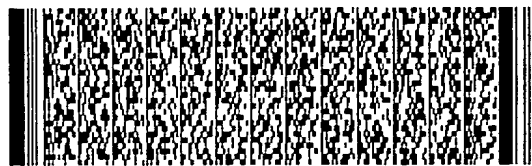
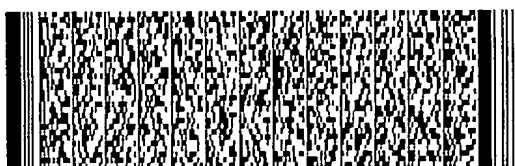
26. 如申請範圍第25項所述之堆疊閘極式快閃記憶體的製造方法，其中該蝕刻保護層之材質為硼矽玻璃(BSG)。

27. 如申請範圍第25項所述之堆疊閘極式快閃記憶體的製造方法，其中沉積該第二間隙壁層材料的方法為低壓化學氣相沉積法(LPCVD)。

28. 如申請範圍第25項所述之堆疊閘極式快閃記憶體的製造方法，其中該第二間隙壁層材質為二氧化矽。

29. 如申請範圍第14項所述之堆疊閘極式快閃記憶體的製造方法，其中形成複數個長條狀之淺溝槽隔離區域(STI)，沿一第二方向排列且互為平行以於各長溝槽內定義出複數個記憶胞溝槽的步驟包括；

利用微影及蝕刻程序定義出複數個沿一第二方向排列且互為平行之淺溝槽隔離區域(STI)，並定義出複數個記憶胞溝槽，並蝕刻停止於該等淺溝槽隔離區域(STI)內之該導電層上；



六、申請專利範圍

沉積一第三隔離層材料並溝填於該等淺隔離溝槽區域(STI)內；以及

利用該罩幕層為研磨停止層將表面平坦化以形成一第三隔離層於該等淺溝槽隔離區域(STI)內。

30. 如申請範圍第29項所述之堆疊閘極式快閃記憶體的製造方法，其中該第三隔離層材質為二氧化矽。

31. 如申請範圍第29項所述之堆疊閘極式快閃記憶體的製造方法，其中形成該第三隔離層的方法為低壓化學氣相沉積法(LPCVD)。

32. 如申請範圍第14項所述之堆疊閘極式快閃記憶體的製造方法，其中形成一汲極區域於該等記憶胞溝槽鄰近之該半導體基底中的步驟為；

去除該罩幕層及該墊氧化層以露出複數個接受汲極離子植入之主動區域；

對該等主動區域內進行汲極離子植入；

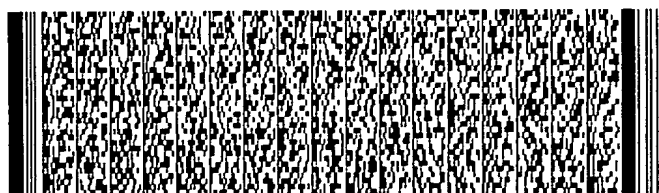
進行一熱退火製程，以形成一汲極區域於該等記憶胞溝槽鄰近之該半導體基底中；

沉積一第四隔離層材料並填入該等汲極區域上；以及

進行一平坦化程序，以形成一第四隔離層於該等汲極區域上。

33. 如申請範圍第32項所述之堆疊閘極式快閃記憶體的製造方法，其中該汲極離子植入所植入離子為n型離子。

34. 如申請範圍第33項所述之堆疊閘極式快閃記憶體



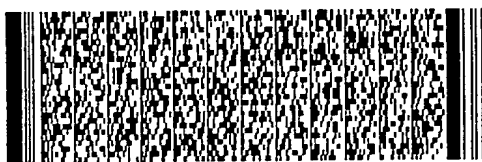
六、申請專利範圍

的製造方法，其中該n型離子為砷(As)離子。

35. 如申請範圍第32項所述之堆疊閘極式快閃記憶體
的製造方法，其中該熱退火製程為一快速熱退火製程
(RTP)。

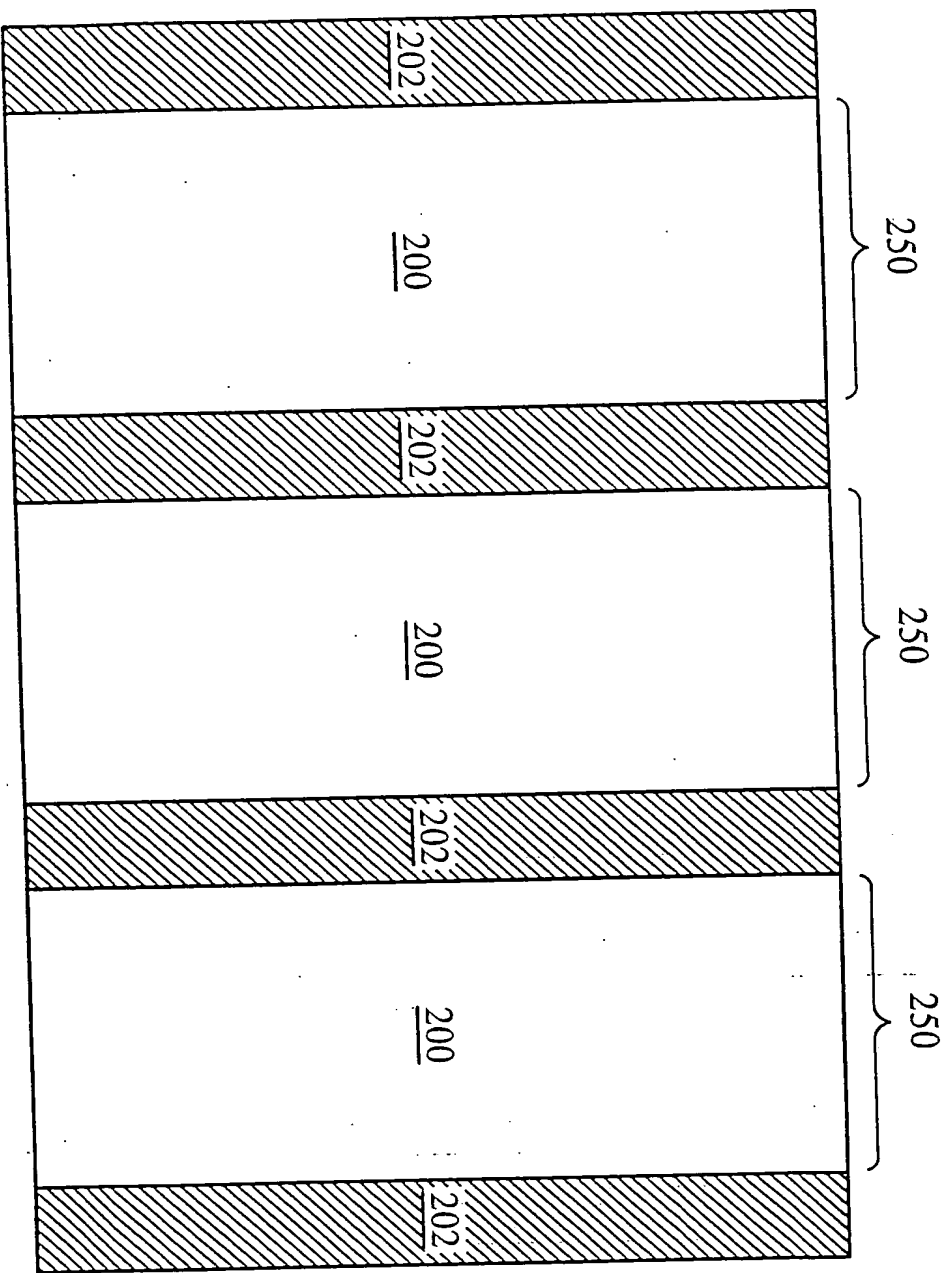
36. 如申請範圍第32項所述之堆疊閘極式快閃記憶體
的製造方法，其中該第四隔離層材質為二氧化矽。

37. 如申請範圍第32項所述之堆疊閘極式快閃記憶體
的製造方法，其中沉積該第四隔離層的方法為高密度電漿
化學氣相沉積法(HDP CVD)。

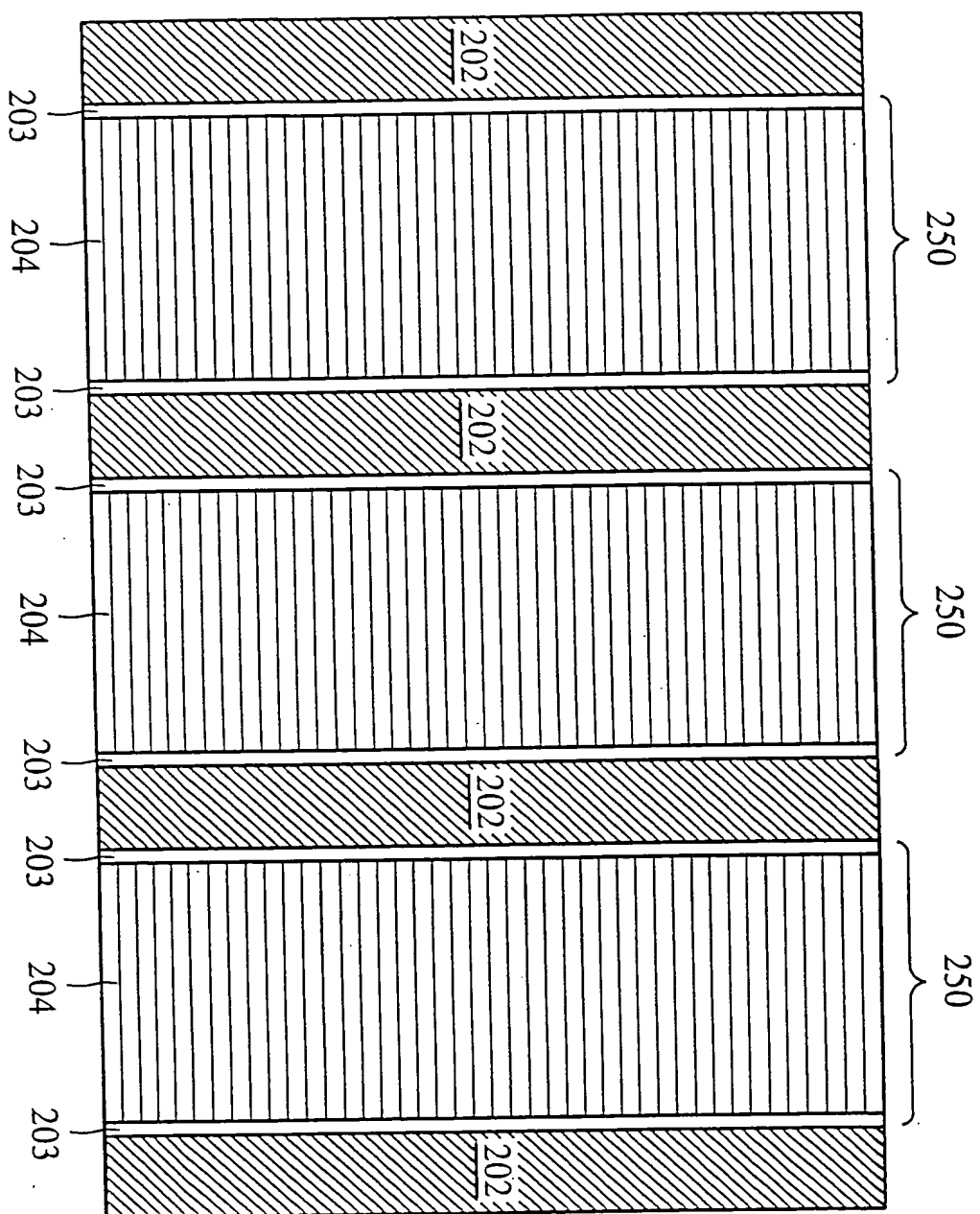




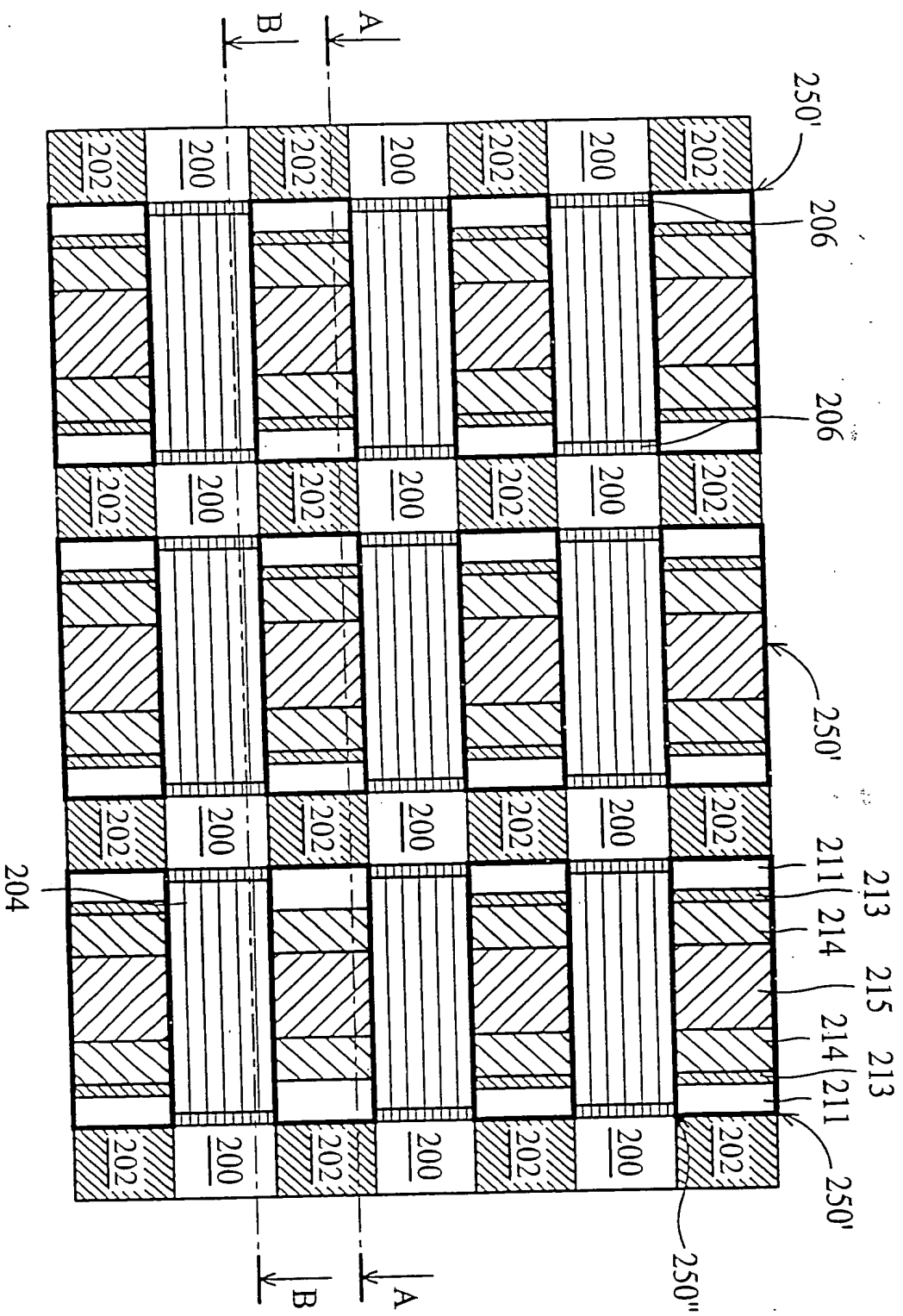
第一圖



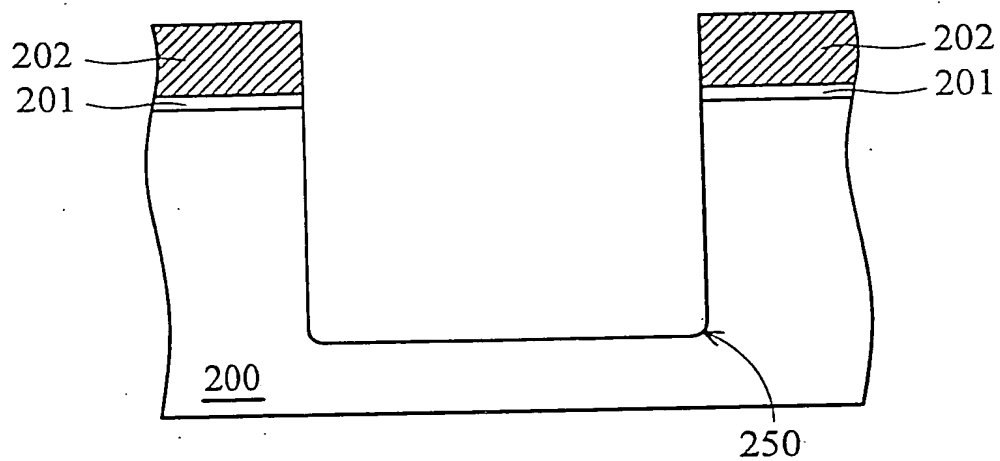
第2a圖



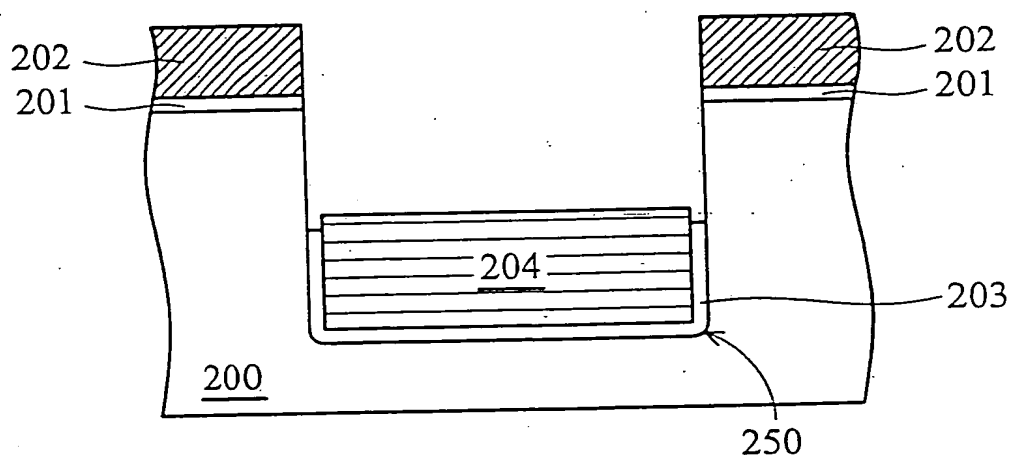
第2b圖



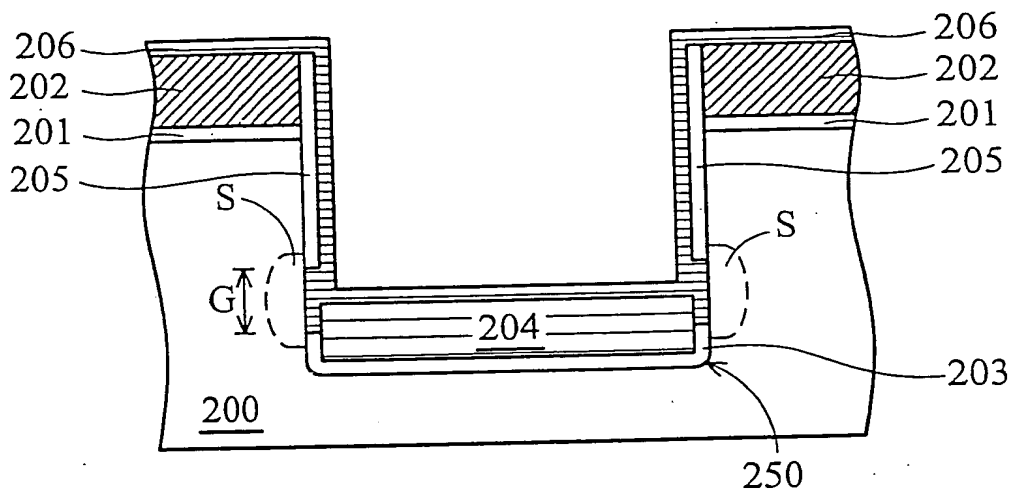
第2c圖



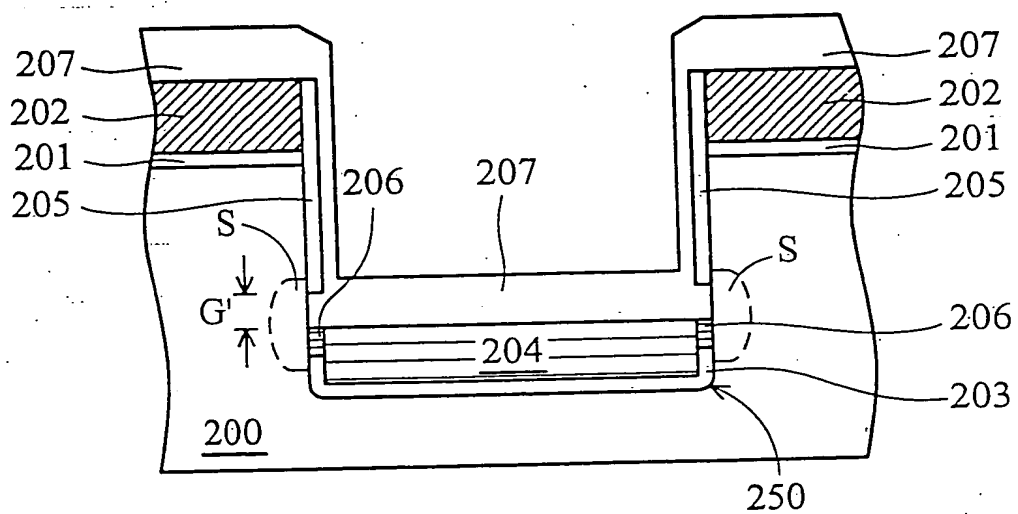
第 3a 圖



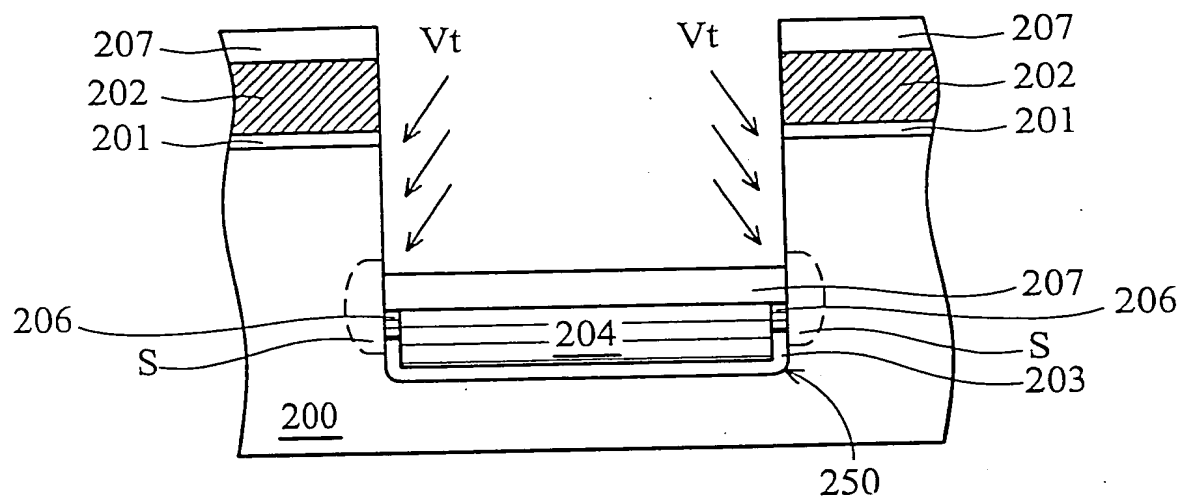
第 3b 圖



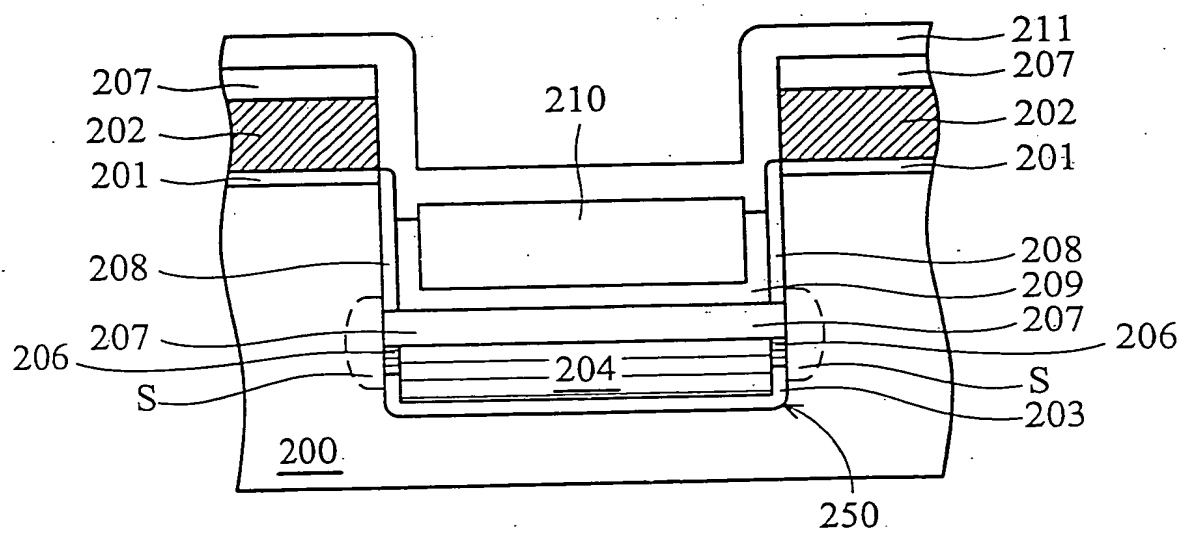
第3c圖



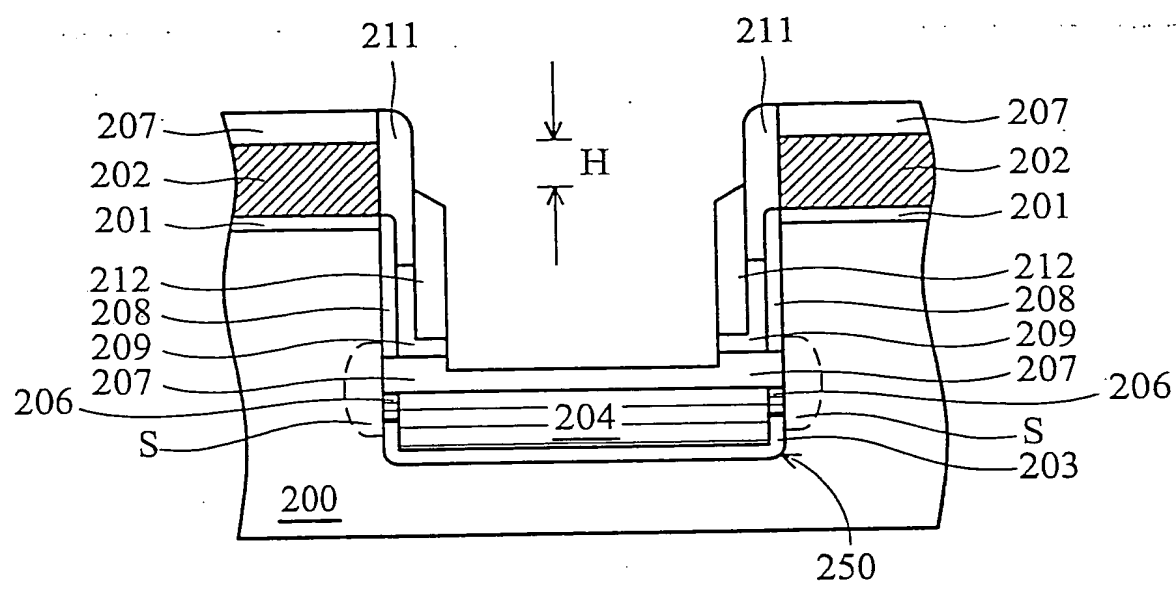
第3d圖



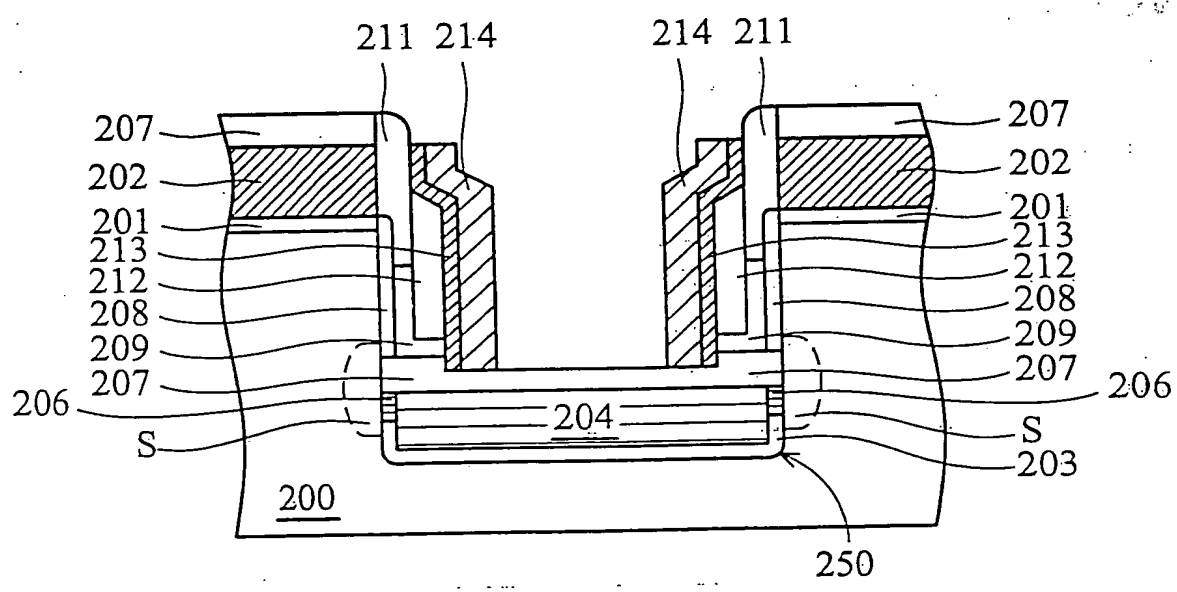
第3e圖



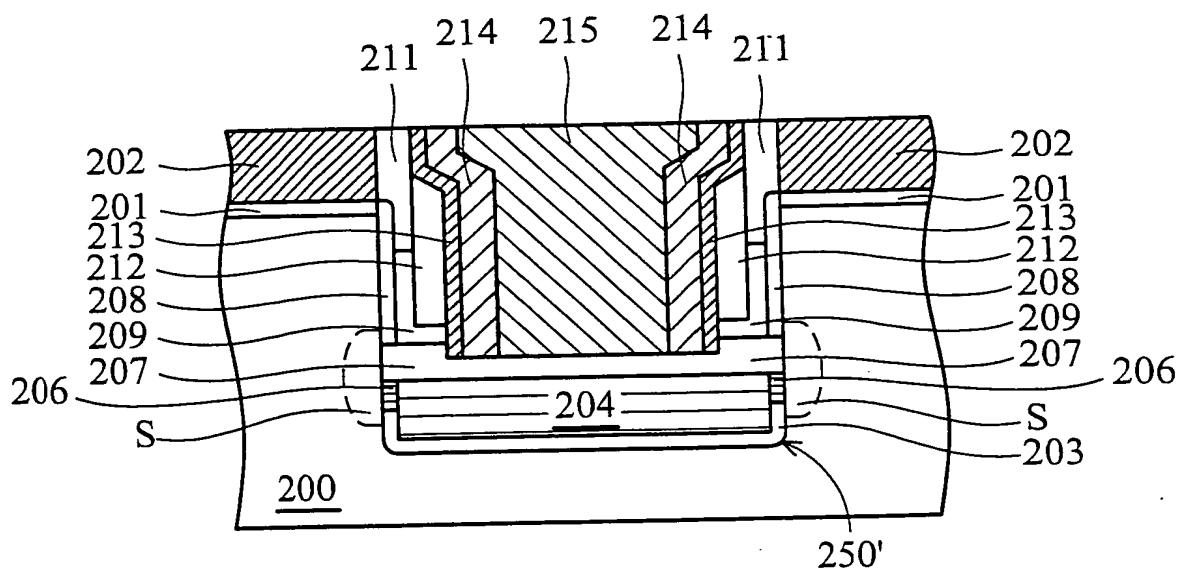
第3f圖



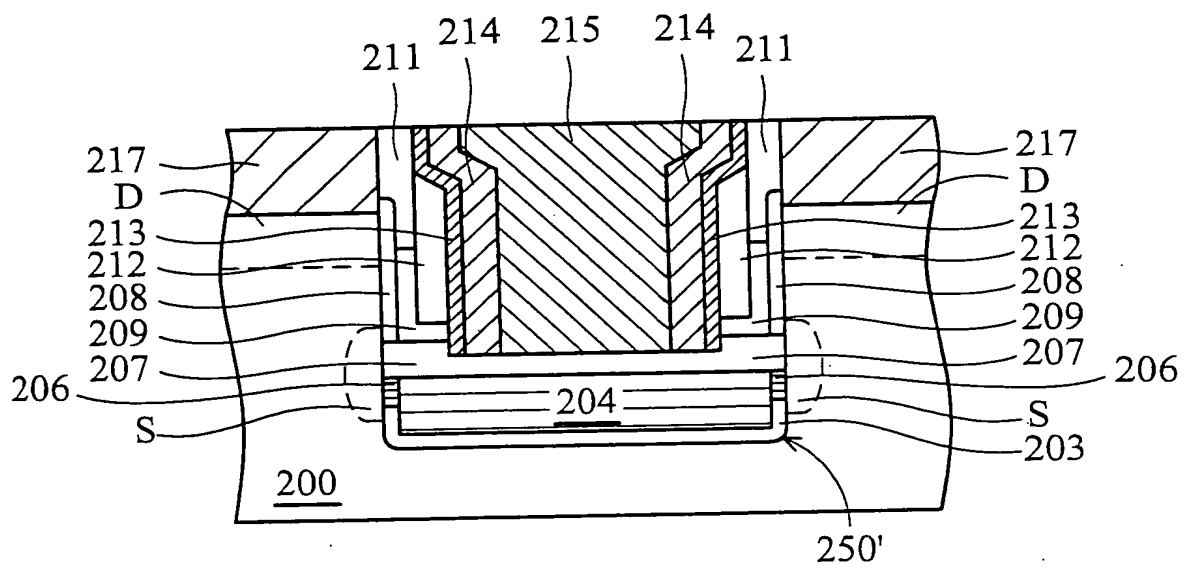
第3g圖



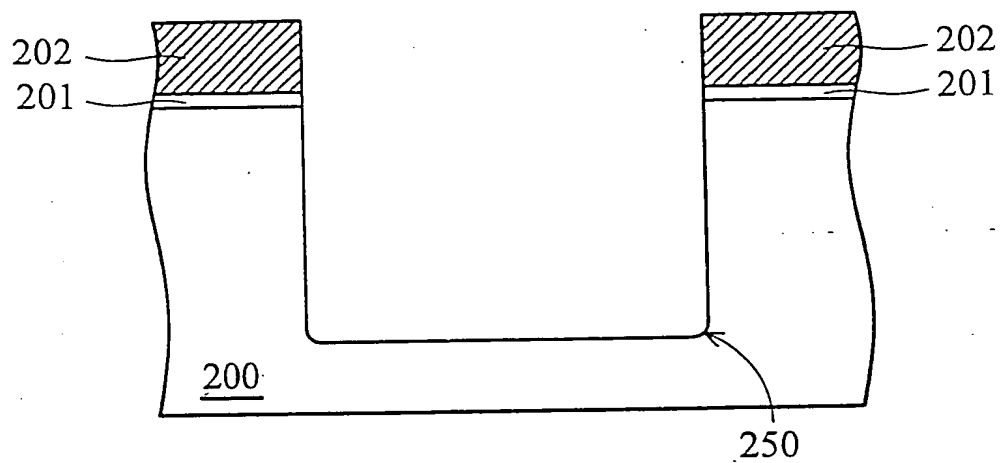
第3h圖



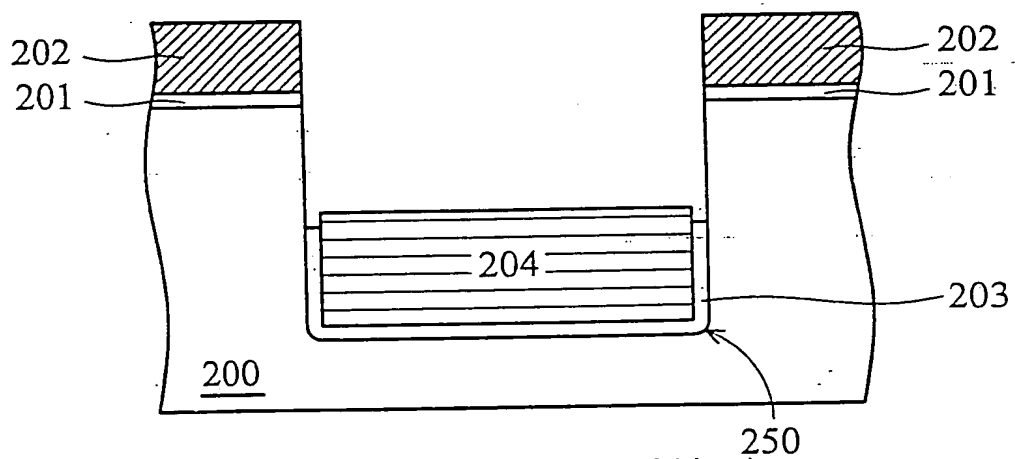
第3i 圖



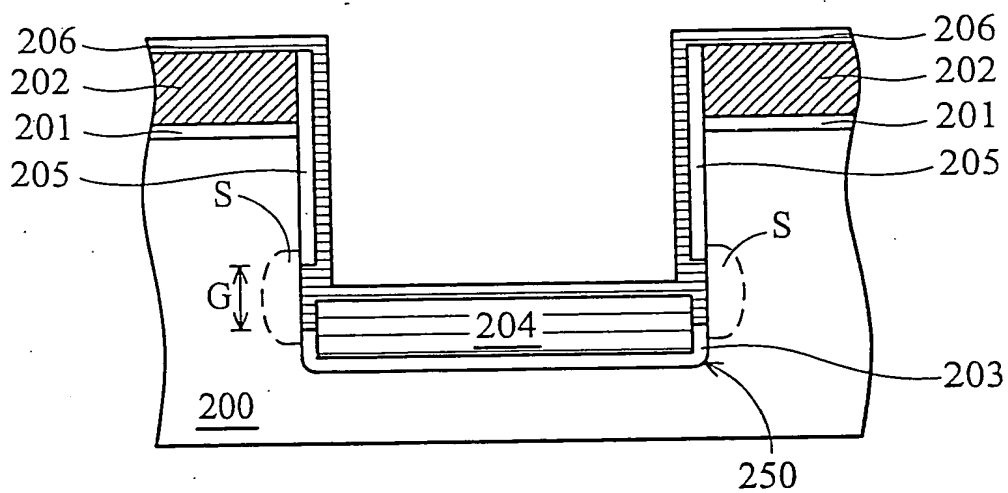
第3j 圖



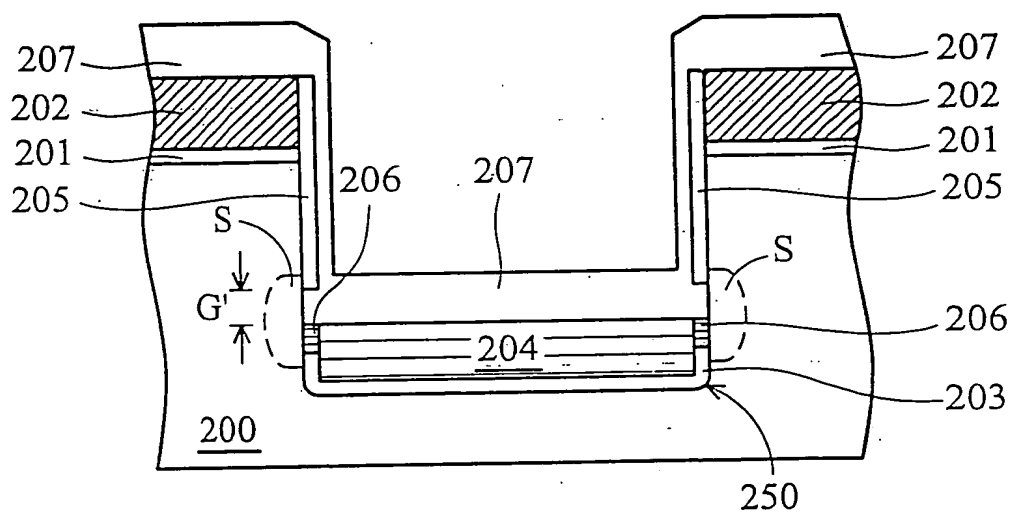
第 4a 圖



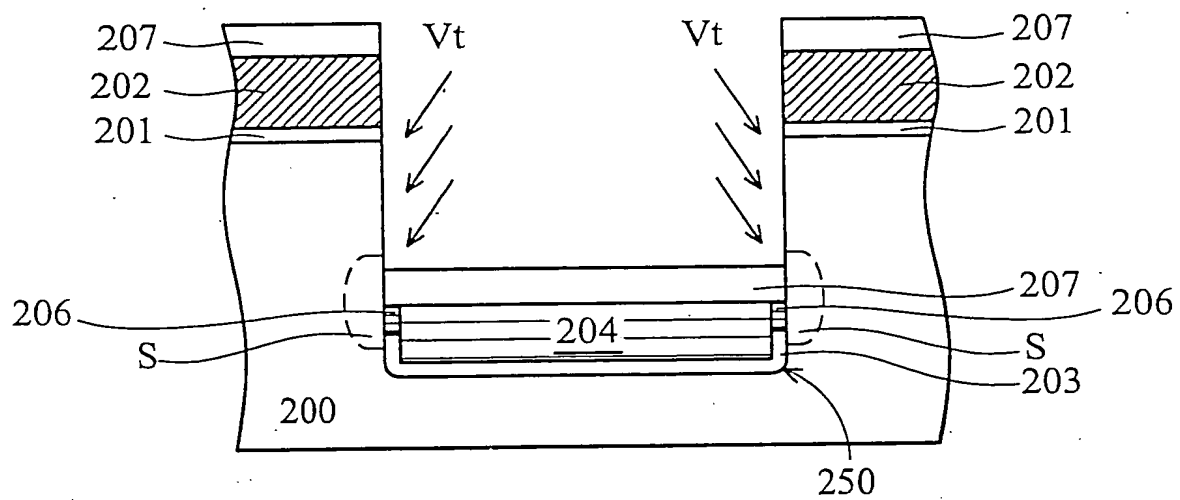
第 4b 圖



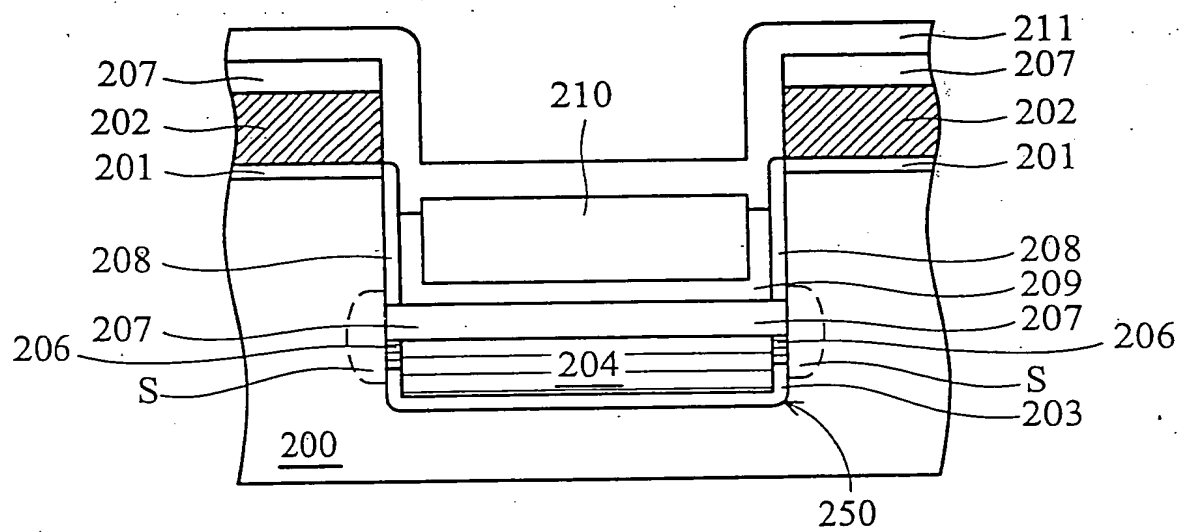
第4c圖



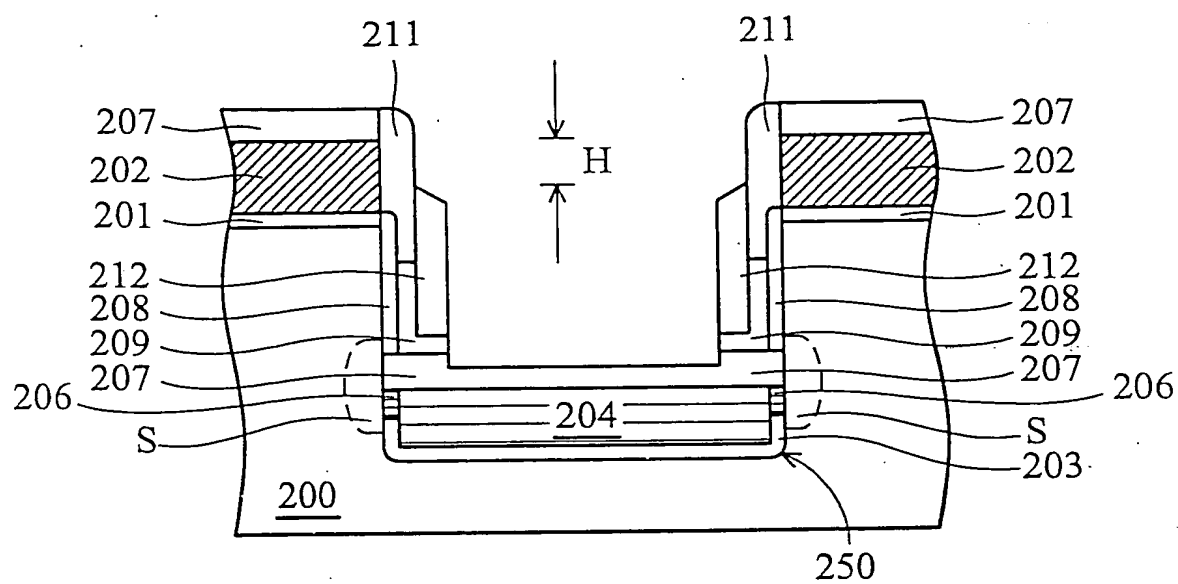
第4d圖



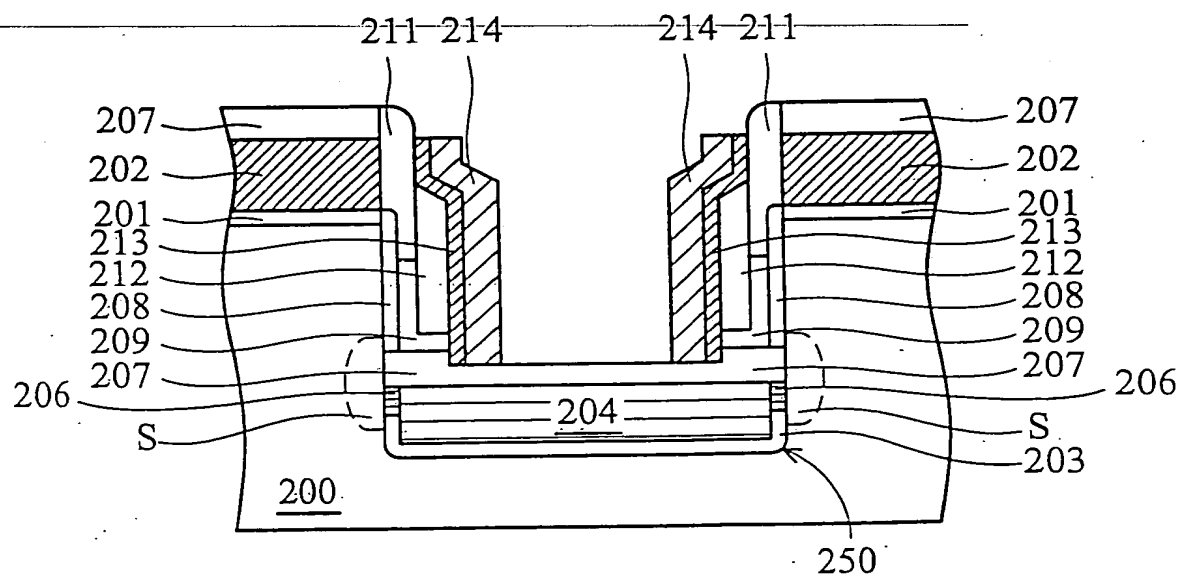
第4e圖



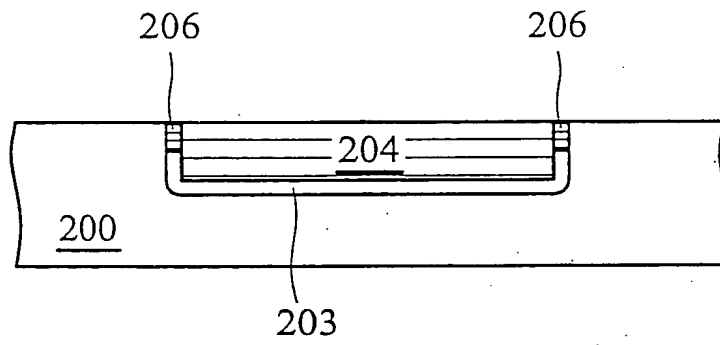
第4f圖



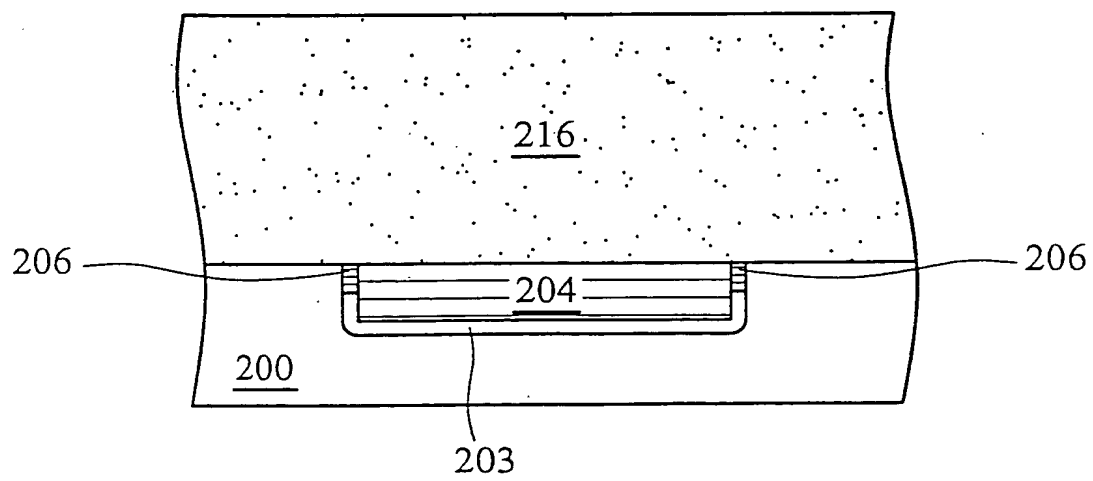
第4g圖



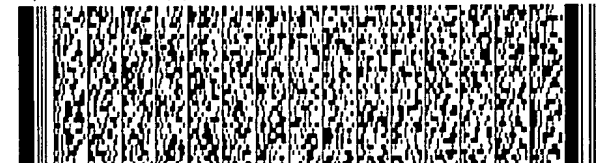
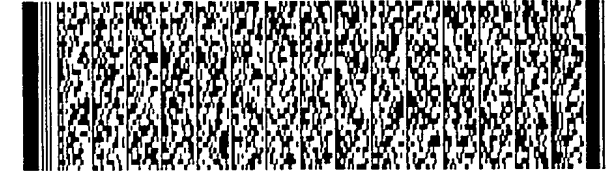
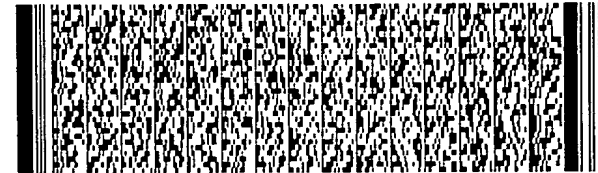
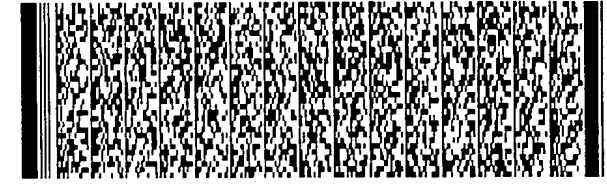
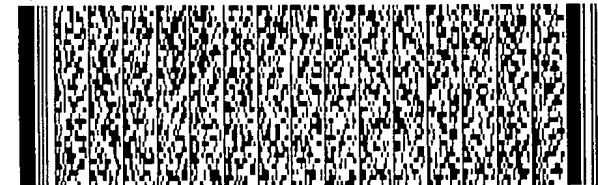
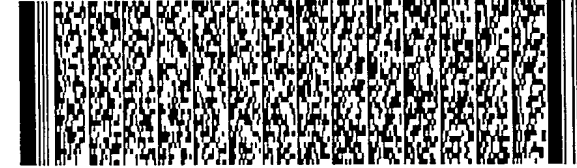
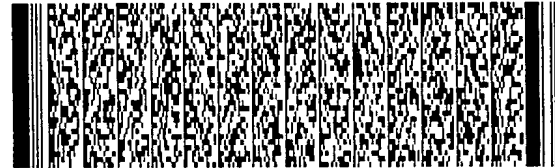
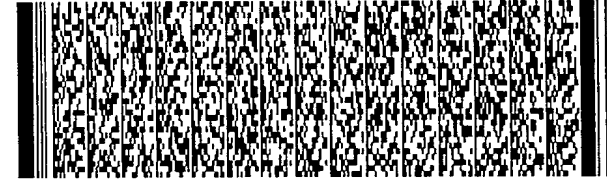
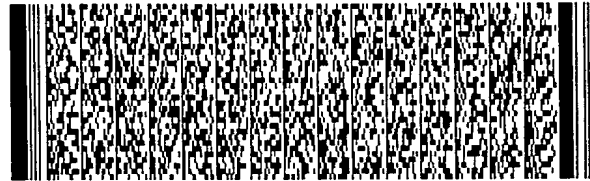
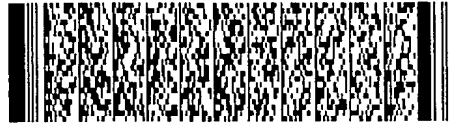
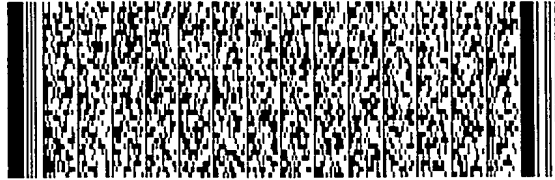
第4h圖

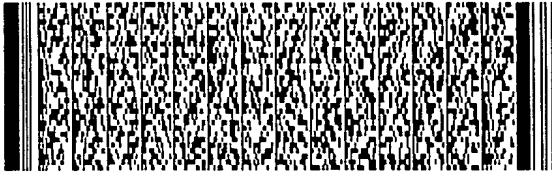


第 4i 圖

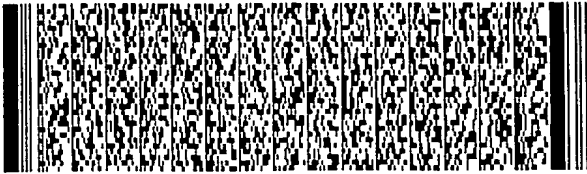


第 4j 圖





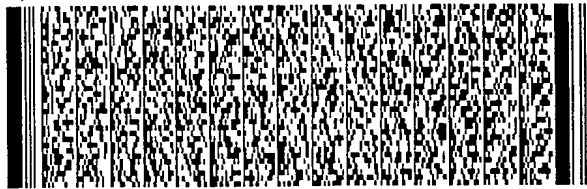
第 19/29 頁



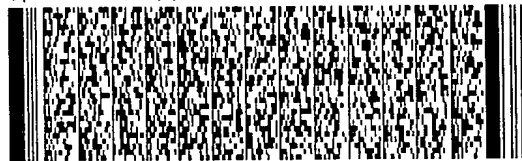
第 21/29 頁



第 23/29 頁



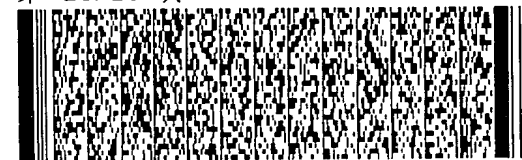
第 24/29 頁



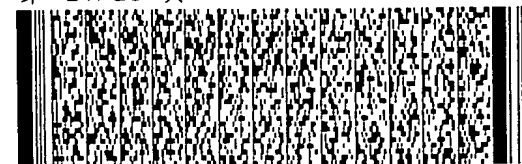
第 25/29 頁



第 26/29 頁



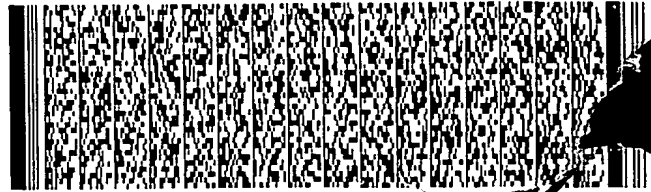
第 27/29 頁



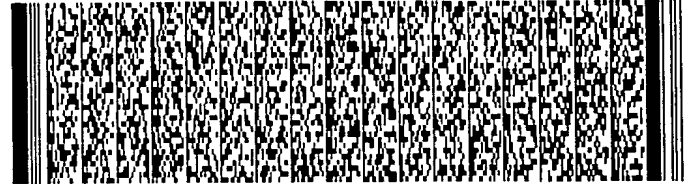
第 29/29 頁



第 20/29 頁



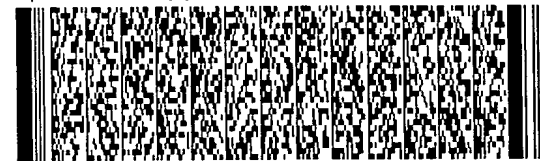
第 22/29 頁



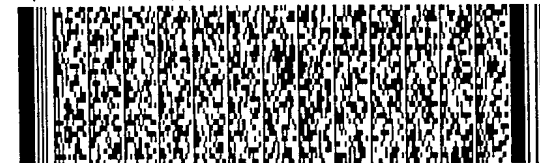
第 24/29 頁



第 25/29 頁



第 26/29 頁



第 27/29 頁



第 28/29 頁

